

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 53 626.0

**Anmeldetag:** 15. November 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Teststruktur zur Bestimmung der elektrischen Belastbarkeit von Kontakten

**IPC:** H 01 L, G 01 R

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 23. Oktober 2003  
**Deutsches Patent- und Markenamt**  
Der Präsident  
Im Auftrag



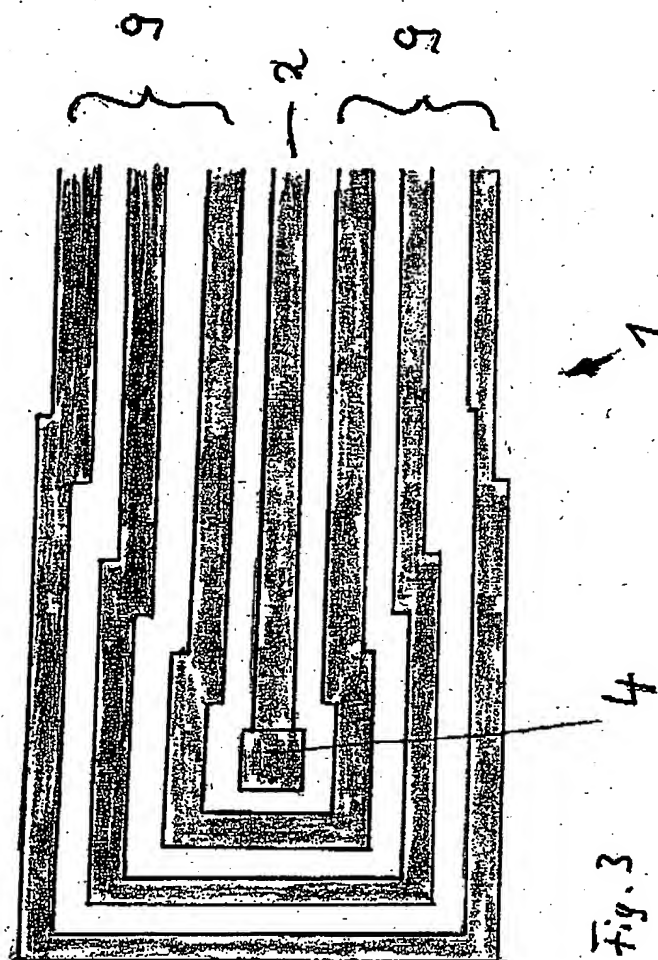
Wehner

5      **Teststruktur zur Bestimmung der elektrischen Belastbarkeit  
von Kontakten**

**Zusammenfassung**

- 10      Die Erfindung betrifft eine Teststruktur zur Bestimmung der elektrischen Belastbarkeit von Kontakten, insbesondere von elektrischen Verbindungen zwischen übereinander angeordneten Leitbahnen durch in Kontaktlöchern angeordnete Vias auf einem Testchip. Durch die Erfindung soll eine Teststruktur zur
- 15      Bestimmung der elektrischen Belastbarkeit von Übergängen zwischen Metallbahnen erzeugt werden, mit der auf einfache Weise eine hohe bis sehr hohe Belegungsdichte für den ungünstigsten Fall getestet werden kann.
- 20      Erfindungsgemäß werden dazu um das Via (4) bzw. Kontaktloch (5) und die zugehörige Leitbahn (2; 3) herum innerhalb der obersten und/oder der darunter liegenden Leitbahn (2, 3) der Metallisierungsebene (Me3) oder (Me4) ebene zusätzliche Strukturen, vorzugsweise aus Metallbahnen bestehende Dummy-
- 25      Strukturen mit oder ohne jede schaltungstechnische Funktion ausgebildet sind. (Fig. 3)

BEST AVAILABLE COPY



BEST AVAILABLE COPY

5     **Teststruktur zur Bestimmung der elektrischen Belastbarkeit  
          von Kontakten**

Die Erfindung betrifft eine Teststruktur zur Bestimmung der elektrischen Belastbarkeit von Kontakten, insbesondere von  
10 elektrischen Verbindungen zwischen übereinander angeordneten Leitbahnen durch in Kontaktlöchern angeordnete Vias auf einem Testchip.

Es ist bekannt, dass es bei der Herstellung von hochintegrierten Schaltkreisen insbesondere bei der Realisierung der einzelnen Verdrahtungsebenen (z.B. Polysilizium-Layer oder Aluminium-Layer) Defekte und in der Folge Fehler auftreten können, welche die Funktion solcher Schaltkreise in Frage stellen können, oder zu einem Frühausfall führen.

20 Um hier eine einigermaßen zuverlässige Vorhersage treffen zu können, wurden beispielsweise Teststrukturen in Form geometrischer Gebilde entwickelt, mit deren Hilfe Defekte innerhalb einer großen Fläche zuverlässig detektiert werden können.  
25 Für die Kontaktierung zu Testzwecken werden die Bond-Pad-Konfigurationen üblicher Standard-Chips verwendet. Diese Teststrukturen werden auf Testchips in geringen Stückzahlen parallel mit der eigentlichen Produktion hergestellt und dann entsprechenden Testprozeduren unterzogen. Dabei hat es  
30 sich als günstig erwiesen, wenn die Testchips gleichzeitig mit den eigentlichen zu produzierenden Chips auf dem selben Wafer angeordnet werden und damit den selben Produktionsprozess durchlaufen.

35 Ein Beispiel für solche Teststrukturen sind sogenannte Kar-

BEST AVAILABLE COPY

ree-Teststrukturen in Form einer 3D- oder 2D-Matrix, so dass grundsätzlich auch Fehler in vertikalen Strukturen (Vias) detektiert werden können. Besonders wichtig ist hier bei der Produkt- oder Technologiequalifikation insbesondere das Testen der elektrischen Belastbarkeit der Vias zwischen den Metallebenen. Mit Hilfe von speziellen Beschleunigungsverfahren kann dann eine Aussage über die maximale Strom- oder Spannungsfestigkeit unter Angabe einer maximalen Lebenszeit und Betriebstemperatur getroffen werden.

10

Um dies zu erreichen, muss bei den sogenannten „downstream“ oder „upstream“ Strukturen, also Vias mit entsprechender Stromrichtung, der jeweils kritische Übergang (Via auf Metallbahn) mit minimaler Überlappung realisiert werden. Dies ist in der Regel der Bereich des Landing Pads, also bei realen Chips die Kontaktfläche zwischen zwei Metallebenen, auf der ein oder mehrere Vias platziert sind. Damit kann in einer Teststruktur der sogenannte „worst-case“ simuliert werden, d.h. dass bei der Anordnung der Kontakte und des gewählten Überlapps in der Teststruktur zum Testen vom schlimmsten Fall ausgegangen wird.

20

Bei den bisher bekannt gewordenen Teststrukturen ist es allerdings nicht möglich, die Fälle sehr hoher bis maximaler Belegungsdichte zu simulieren. Das Problem besteht hier darin, dass während der Herstellung der obersten Leitbahn im Bereich des Landing-Pads eine prozessbedingte unkontrollierte Aufweitung erfolgen kann, die zu einem deutlichen Überstand führt. Diese Aufweitung entsteht bei der Belichtung und Entwicklung des Photolacks (Resist) und der anschließenden Strukturierung der Leitbahn und ist daher prozessbedingt. Mit solchen Teststrukturen kann nur ein Teil der erforderlichen Tests abgedeckt werden, die allerdings nicht zuverlässig und jederzeit den kritischen Fall simulieren können, sondern nur deutlich entspanntere Bedingungen als im

30

35

BEST AVAILABLE COPY

Produktdesign abbilden.

Der Erfindung liegt daher die Aufgabe zugrunde, eine Teststruktur zur Bestimmung der elektrischen Belastbarkeit von  
5 Übergängen zwischen Metallbahnen zu erzeugen, mit der auf einfache Weise eine hohe bis sehr hohe Belegungsdichte für den ungünstigsten Fall getestet werden kann.

Die der Erfindung zugrundeliegende Aufgabenstellung wird bei  
10 einer Teststruktur der eingangs genannten Art dadurch gelöst, dass um das Kontaktloch herum innerhalb der obersten und/oder der darunter liegenden Leitbahnebene zusätzliche Strukturen mit vorgegebenem Abstand benachbart angeordnet sind.

15 Mit dieser besonders einfachen Lösung, der Erzeugung einer sogenannten „nested Umgebung“, wird erreicht, dass die in normalen Strukturen vom Schaltkreisen bei der Fotolithografie und der nachfolgenden Strukturierung der Leitbahnen mögliche Aufweitung bei den Teststrukturen sicher vermieden  
20 wird.

In Fortführung der Erfindung sind die zusätzlichen Strukturen als Dummy-Strukturen mit oder ohne jede schaltungstechnische Funktion ausgebildet, wobei es sich um Dummy- oder  
25 elektrisch aktive Leitbahnen handeln kann.

In einer besonderen Ausgestaltung der Erfindung ist mindestens eine Dummy-Leitbahn um das Kontaktloch herum angeordnet,  
30 wodurch jegliche unkontrollierte Aufweitung verhindert wird und ein Minimum an Überdeckung gesichert wird, wie im Schaltungslayout gemäß der Designregeln vorgegeben.

35

BEST AVAILABLE COPY

Die Leitbahnen der entsprechenden Leitbahnebene und die Dummy-Leitbahnen in der gleichen Leitbahnebene bestehen aus dem gleichen Material, z.B. Metall, Aluminium oder Polysilizium.

- 5 Die Erfindung soll nachfolgend an einem Ausführungsbeispiel näher erläutert werden. In den zugehörigen Zeichnungen zeigen:

10 Fig. 1: einen schematischen Querschnitt von übereinander liegenden Leitbahnen (Metallisierungsebene 3 / Me3) und Metallisierungsebene 4 / Me4) und ein diese über ein Kontaktloch verbindendes Via als „Downstream Struktur“;

15 Fig. 2: eine schematische Darstellung der Leitbahnen der Metallisierungsebene 3 (Me3) mit verfälschten Struktureigenschaften infolge der Aufweitung der Leitbahn dieser Metallisierungsebene;

20 Fig. 3: eine schematische Darstellung der Metallisierungsebene 3 mit erfindungsgemäß um die aktive Leitbahn herum angeordneten Dummy-Leitbahnen; und

25 Fig. 4: eine schematische Schnittdarstellung der Anordnung nach Fig. 3.

Fig. 1 zeigt eine schematische Darstellung einer Teststruktur 1 mit einer Leitbahn 2 der Metallisierungsebene 3 (Me3) sowie einer Leitbahn 3 der darüber liegenden Metallisierungsebene (Me4), die über ein Via 4 in einem Kontaktloch 5 zwischen beiden Leitbahnen 2, 3 miteinander elektrisch verbunden sind. Dabei ist als kritische Kante 6 der Übergang vom Via 4 zur Leitbahn 2 anzusehen ( in Falle einer Downstream Struktur). Im Falle einer „Upstream Struktur“ wäre die kritische Kante (nicht dargestellt) sinngemäß der

30

35

BEST AVAILABLE COPY

Übergang vom Via 4 zur Leitbahn 3. Der Pfeil 7 zeigt dabei die Stromflussrichtung an. Dieser Stromfluss (Pfeil 7) führt zu einer Degeneration der unteren Leitbahn 2 (bei upstream die obere Bahn), was bis zum Abbruch des Kontaktes zwischen Via 4 und Leitbahn 2 führen kann. Die Ausfallzeit hängt dabei strukturbezogen vom Überlapp der Kontaktfläche des Kontaktes mit der Leitbahn im Bereich der kritischen Kante 6 ab, wobei der minimale Überlapp über technologiedefinierte Designregeln definiert wird.

Unter Produktbedingungen wird eine maximale Belegungsdichte der Metallisierung angestrebt indem die notwendige Verdrahtung im Schaltungslayout so dicht als möglich gesetzt werden, um eine Minimierung der Chipfläche zu erreichen, wobei in diesem Fall der Überlapp von Leitbahn 2 zum Via 4 minimal gezeichnet wird.

Je geringer der Überlapp ausgeprägt ist, um so geringer ist die elektrische Belastbarkeit des Kontaktes. Größere Überlapps führen zu einer längeren Lebensdauer. Für eine Technologiequalifikation muss daher der minimale Überlapp abgetestet werden, da diese Ergebnisse exemplarisch für alle möglichen Überlapps verwendet werden können. Nur diese so gewonnenen Ergebnisse gehen in die Designregeln ein. Eine Fallunterscheidung in Abhängigkeit des realisierten Überlapps wird im Produktdesign nicht vorgenommen. Aus diesem Grund sind Angaben in den Designregeln immer der „worst case“-Fall.

Für Testzwecke sollte für den Übergang von Leitbahn 2 zum Via 4 ein minimaler Überlapp realisiert werden. Im Normalfall weitet sich die Leitbahn 2 prozessbedingt erheblich auf (Fig. 2). Zum Vergleich sind hier die Layoutmaße gestrichelt gezeichnet inklusive des minimalen Überlapp von ca. 50 µm. An der kritischen Kante 6 ist der Überlapp um ein Vielfaches aufgeweitet, was zu einer viel zu optimistischen Technolo-

BEST AVAILABLE COPY



giequalifikation führen würde. Diese Aufweitung ist eine prozessbedingte Folge bei der Belichtung des Resists und der anschließenden Strukturierung der Leitbahnen 2, 3 (Ätzung) in einer nicht „nested-Umgebung“.

5

Entsprechend der Erfindung kann dies mit der Realisierung von Teststrukturen 1 durch die Realisierung einer sogenannten „nested“ Umgebung mit Hilfe von Dummy-Leitbahnen 9 um die Leitbahn 2 sowie des Vias 4 (kritische Struktur) sicher verhindert werden (Fig. 3). Die aus Metall, z.B. Al, Cu, bestehenden Dummy-Leitbahnen 9 erfüllen für das hier beschriebene Beispiel einer Teststruktur keinen elektrischen Zweck, sondern „simulieren“ nur eine maximale Belegungsdichte um die kritische Struktur. Diese maximale Belegungsdichte entspricht dann den realen Bedingungen im Produkt, wie auch dem kritischen Fall des minimalen Überlapps („worst-case“). Es versteht sich, dass aus elektrisch aktive Bahnen benachbarter Strukturen für die Teststruktur als Dummies genutzt werden können.

20

Fig. 4 zeigt einen schematischen Querschnitt durch eine erfindungsgemäße Teststruktur 1, bei der in der Metallisierungsebene 3 (Me3) eine „nested“ Struktur mit Dummy-Leitbahnen 9 dargestellt ist. Bei einer Auswertung von Schnittbildern unter einem Elektronenstrahlenmikroskop hat sich gezeigt, dass in dieser Ebenen ein größerer Überlapp als im Schaltungsdesign vorgesehen (Aufweitung 8) unterdrückt worden ist. Das realisierte Minimum an Überdeckung 10 ist aus der schematischen Darstellung nach Fig. 4 schematisch ersichtlich.

30

Auf entsprechende Weise kann auch in anderen Metallisierungsbzw. Kontaktebenen vorgegangen werden.

**BEST AVAILABLE COPY**

5

**Teststruktur zur Bestimmung der elektrischen Belastbarkeit  
von Kontakten**

**Bezugzeichenliste**

10

- 1 Teststruktur
- 2 Leitbahn
- 3 Leitbahn
- 4 Via
- 15 5 Kontaktloch
- 6 kritische Kante
- 7 Pfeil (Stromflussrichtung)
- 8 Aufweitung
- 9 Dummy-Leitbahn
- 20 10 Minimum an Überdeckung 10
- Me3 Metallisierungsebene 3
- Me4 Metallisierungsebene 4

**BEST AVAILABLE COPY**

5      **Teststruktur zur Bestimmung der elektrischen Belastbarkeit  
von Kontakten**

**Patentansprüche**

- 10      1.      Teststruktur zur Bestimmung der elektrischen Belastbarkeit von Kontakten, insbesondere von elektrischen Verbindungen zwischen übereinander angeordneten Leitbahnen durch in Kontaktlöchern angeordnete Vias auf einem Testchip, **dadurch gekennzeichnet**, dass um das Via (4) bzw. Kontaktloch (5) und
- 15      die zugehörige Leitbahn (2; 3) herum innerhalb der obersten und/oder der darunter liegenden Leitbahn (2, 3) der Metallisierungsebene (Me3) oder (Me4) ebene zusätzliche Strukturen dicht benachbart angeordnet sind.
- 20      2.      Teststruktur nach Anspruch 1, **dadurch gekennzeichnet**, dass die zusätzlichen Strukturen als Dummy-Strukturen mit oder ohne jede schaltungstechnische Funktion ausgebildet sind.
- 25      3.      Teststruktur nach Anspruch 1 und 2, **dadurch gekennzeichnet**, dass die zusätzlichen Strukturen Dummy-Leitbahnen (9) sind.
- 30      4.      Teststruktur nach Anspruch 3, **dadurch gekennzeichnet**, dass wenigstens eine Dummy-Leitbahn (9) um das Via (4) bzw. das Kontaktloch (5) herum angeordnet sind.
5.      Teststruktur nach Anspruch 4, **dadurch gekennzeichnet**, dass die Dummy-Leitbahnen (9) das Via (4) bzw. Kontaktloch

**BEST AVAILABLE COPY**

(5) im wesentlichen äquidistant umgeben.

6. Teststruktur nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, dass die Leitbahnen (2, 3) der entsprechenden Metallisierungsebene und die Dummy-Leitbahnen (9) in der gleichen Metallisierungsebene aus dem gleichen Material bestehen.

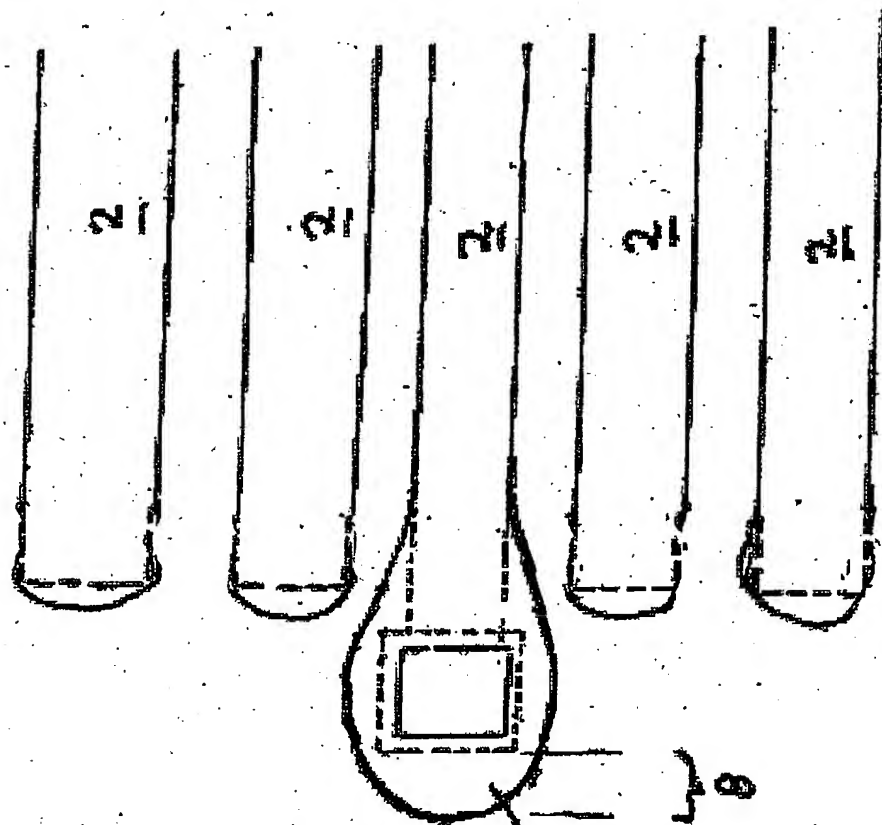
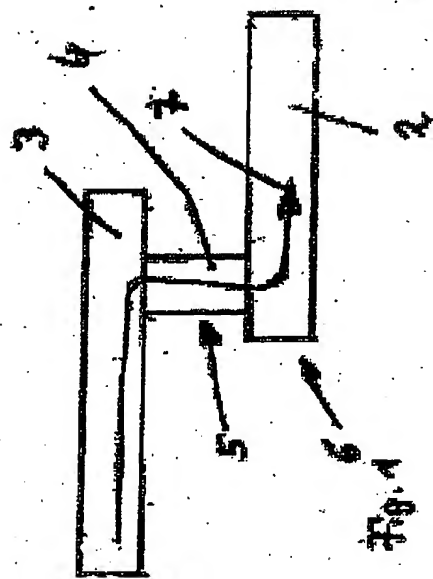
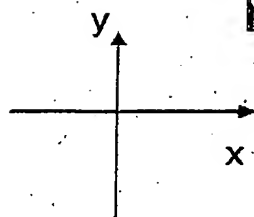
7. Teststruktur nach Anspruch 6, **dadurch gekennzeichnet**, dass die Leitbahnen (2, 3) und die Dummy-Leitbahnen (9) aus Metall bestehen.

8. Teststruktur nach Anspruch 6, **dadurch gekennzeichnet**, dass die Leitbahnen (2, 3) und die Dummy-Leitbahnen (9) aus Aluminium bestehen.

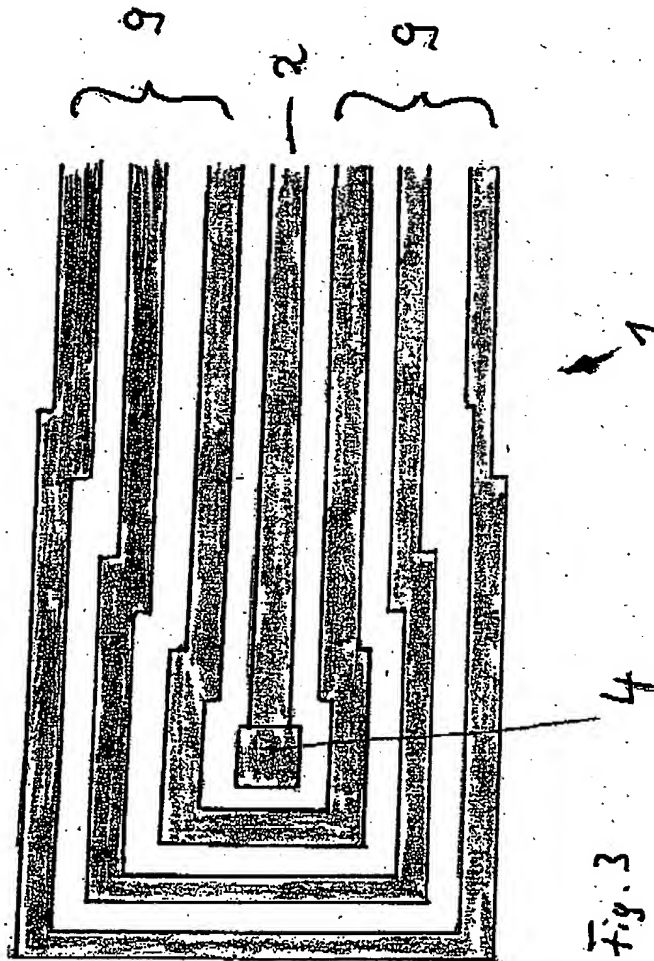
9. Teststruktur nach Anspruch 6, **dadurch gekennzeichnet**, dass die Leitbahnen (2, 3) und die Dummy-Leitbahnen (9) aus Polysilizium bestehen.

20

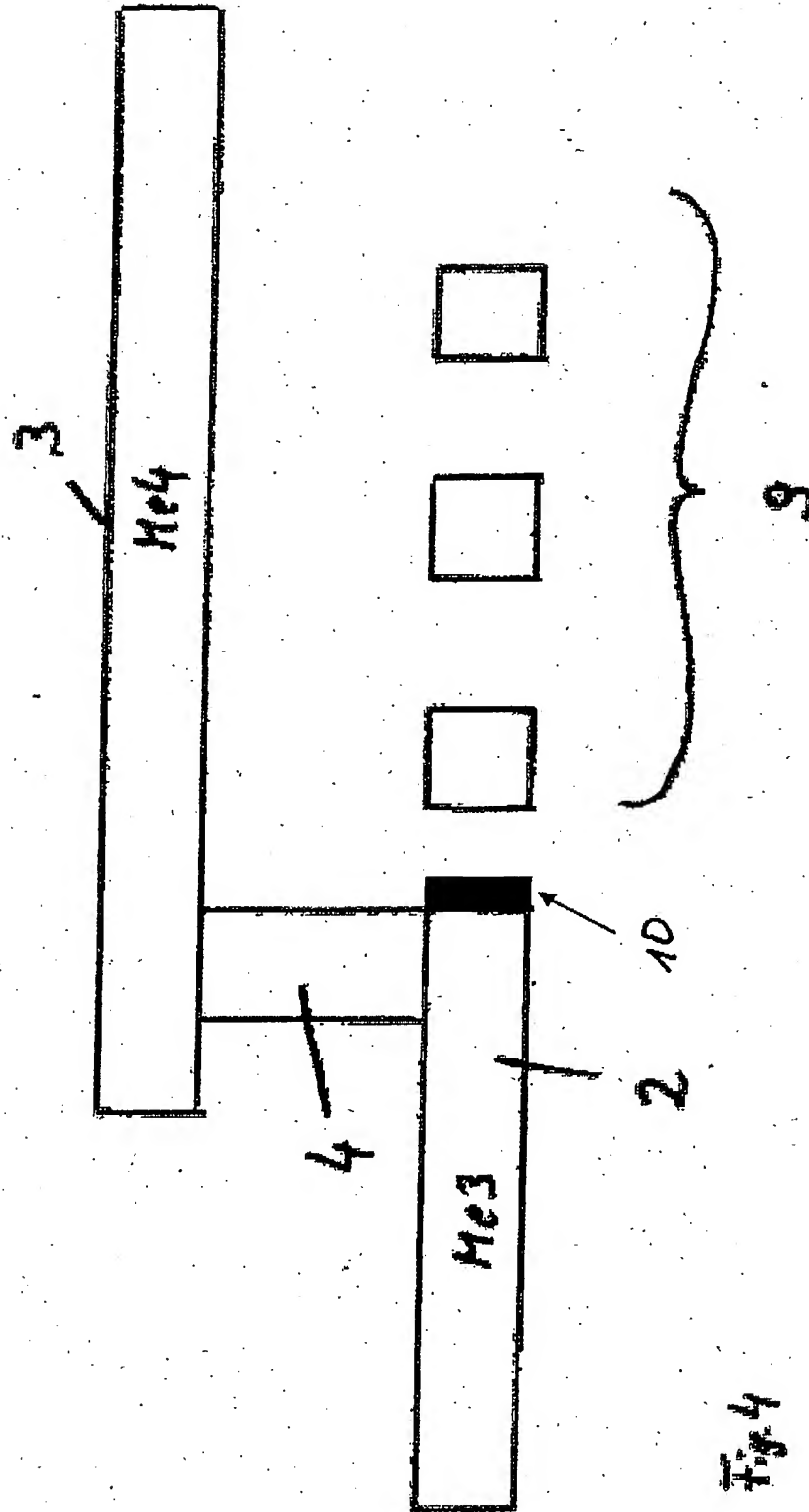
**BEST AVAILABLE COPY**



BEST AVAILABLE COPY



BEST AVAILABLE COPY



BEST AVAILABLE COPY